

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-152979**

(43)Date of publication of application : **10.06.1997**

(51)Int.Cl.

G06F 11/22

H01L 21/60

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : **08-116138**

(71)Applicant : **MATSUSHITA ELECTRIC IND
CO LTD**

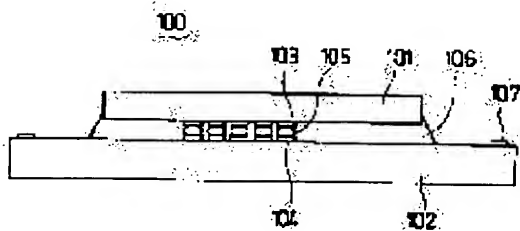
(22)Date of filing : **10.05.1996**

(72)Inventor : **MIMURA TADAAKI
YOSHIDA TAKAYUKI
FUJIMOTO HIROAKI
YAMANE ICHIRO
KASUGA YOSHIAKI
YAMASHITA TAKIO
MATSUKI TOSHIO**

(30)Priority

Priority number : **07251152** Priority date : **28.09.1995** Priority country : **JP**

(54) **SEMICONDUCTOR DEVICE**



(57)Abstract:

PROBLEM TO BE SOLVED: To attain high speed operation and high functions without increasing manhour for development.

SOLUTION: A CPU core, peripheral circuits, a built-in ROM, and a built-in RAM are formed on a microcomputer chip 101. An emulation control circuit for controlling the whole emulation is formed on an emulation function chip 102. First electrode pads 103 formed on the function face of the chip 101 and second electrode pads 104 formed on the function face of the chip 102 are electrically connected through connection bumps 105, and in the connected state of both the pads 103, 104, the chips 101, 102 are moduled by the use of insulating resin 106.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-152979

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 4 0		C 0 6 F 11/22	3 4 0 A
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S
25/065			25/08	B
25/07				
25/18				

審査請求 未請求 請求項の数14 O L (全 17 頁)

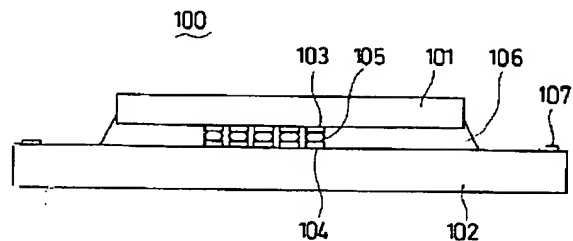
(21) 出願番号	特願平8-116138	(71) 出願人	000003821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成8年(1996)5月10日	(72) 発明者	三村 忠昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31) 優先権主張番号	特願平7-251152	(72) 発明者	吉田 隆幸 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32) 優先日	平7(1995)9月28日	(72) 発明者	藤本 博昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 前田 弘 (外2名) 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 開発工数の増大を招くことなく、高速で動作する共に高機能を有するエミュレータを提供する。

【解決手段】 マイコンチップ101には、CPUコア、周辺回路、内蔵ROM及び内蔵RAMが形成されている。エミュレーション機能チップ102にはエミュレーション全体の制御を行なうエミュレーション制御回路が形成されている。マイコンチップ101の機能面に形成された第1の電極パッド103とエミュレーション機能チップ102の機能面に形成された第2の電極パッド104とは接続用 bumps 105を介して電気的に接続されており、両者が接続された状態で、マイコンチップ101とエミュレーション機能チップ102とは絶縁樹脂106によってモジュール化されている。



【特許請求の範囲】

【請求項1】 CPUコア、周辺回路及び内蔵RAMを有する一方、エミュレーション機能素子を有しないマイコンチップよりなる第1の半導体チップと、該第1の半導体チップよりも面積が大きく且つエミュレーション機能素子を有する第2の半導体チップとを備え、前記第1の半導体チップの電極パッドと前記第2の半導体チップの電極パッドとは bumps を介して電気的に接続されていることを特徴とする半導体装置。

【請求項2】 CPUコア、周辺回路及び内蔵RAMを有する一方、消去型又は書換え型の不揮発性メモリを有しないマイコンチップよりなる第1の半導体チップと、該第1の半導体チップよりも面積が大きく且つ消去型又は書換え型の不揮発性メモリを有する第2の半導体チップとを備え、前記第1の半導体チップの電極パッドと前記第2の半導体チップの電極パッドとは bumps を介して電気的に接続されていることを特徴とする半導体装置。

【請求項3】 第1の機能素子が形成された第1の半導体チップと、第2の機能素子が形成された第2の半導体チップとを備え、

前記第1の半導体チップと前記第2の半導体チップとは、前記第1の機能素子が形成された機能面と前記第2の機能素子が形成された機能面とが互いに対向するように設けられ、

前記第1の半導体チップの第1の電極パッドと前記第2の半導体チップの第2の電極パッドとは bumps を介して電気的に接続されており、

前記第1の電極パッドは、前記第1の機能素子を構成する配線層のうちの最上層の配線層と同一の層における前記第1の機能素子が形成されている領域の上に形成されていることを特徴とする半導体装置。

【請求項4】 前記第1の電極パッドは、前記第1の機能素子を構成する機能ブロックの周辺部領域の上に形成され且つ前記機能ブロックに対して前記第1の半導体チップの外部と信号の入出力を行なうことを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第1の電極パッドは、前記第1の機能素子を構成する機能ブロックの内部領域の上に形成され且つ前記機能ブロックに対して前記第1の半導体チップの外部と信号の入出力を行なうことを特徴とする請求項3に記載の半導体装置。

【請求項6】 前記第1の半導体チップはマイコンチップであり、前記機能ブロックはCPUコアであることを特徴とする請求項4又は5に記載の半導体装置。

【請求項7】 前記第1の電極パッドは、前記第1の機能素子を構成する信号入出力回路素子の上に形成されていることを特徴とする請求項3に記載の半導体装置。

【請求項8】 前記第1の半導体チップは、CPUコア、周辺回路及び内蔵RAMを有する一方、エミュレ-

ション機能素子を有しないマイコンチップであり、前記第2の半導体チップはエミュレーション機能素子を有することを特徴とする請求項3に記載の半導体装置。

【請求項9】 前記第1の半導体チップは、CPUコア、周辺回路及び内蔵RAMを有する一方、消去型又は書換え型の不揮発性メモリを有しないマイコンチップであり、前記第2の半導体チップは消去型又は書換え型の不揮発性メモリを有することを特徴とする請求項3に記載の半導体装置。

【請求項10】 機能素子が形成された半導体チップと、該半導体チップがフェイスダウンにより実装された回路基板とを備え、

前記半導体チップの第1の電極パッドと前記回路基板の第2の電極パッドとは bumps を介して電気的に接続されており、

前記第1の電極パッドは、前記機能素子を構成する配線層のうちの最上層の配線層と同一の層における前記機能素子が形成されている領域の上に形成されていることを特徴とする半導体装置。

【請求項11】 前記第1の電極パッドは、前記機能素子を構成する機能ブロックの周辺部領域の上に形成され且つ前記機能ブロックに対して前記半導体チップの外部と信号の入出力を行なうことを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記第1の電極パッドは、前記の機能素子を構成する機能ブロックの内部領域の上に形成され且つ前記機能ブロックに対して前記半導体チップの外部と信号の入出力を行なうことを特徴とする請求項10に記載の半導体装置。

【請求項13】 前記半導体チップはマイコンチップであり、前記機能ブロックはCPUコアであることを特徴とする請求項11又は12に記載の半導体装置。

【請求項14】 前記第1の電極パッドは、前記機能素子を構成する信号入出力回路素子の上に形成されていることを特徴とする請求項10に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、特にプログラム開発ツールである、エミュレーション（インサーキットエミュレーション：ICE）機能を有するマイコン又はOTP（ワンタイムプログラマブル）マイコンよりなる半導体装置、及び半導体チップがフェイスダウンにより他の半導体チップ又は回路基板に搭載される半導体装置に関するものである。

【0002】

【従来の技術】従来より、マイコン（組み込み制御用マイコン）を開発する際には、制御用のユーザプログラムの開発を行なうために、エミュレータやOTPマイコンが用いられる。

【0003】マイコンの開発は、ユーザの要求仕様に応じて、半導体メーカ側でマイコン内の周辺回路としてユーザ回路を組み込むハード開発と、ユーザ側におけるプログラム開発（ソフト開発）との2本立てで行なわれる。

【0004】ユーザ側におけるソフト開発には、デバッグ、アセンブラ／リンカ、ソフトウェアシミュレータ等と合わせ、エミュレータ（インサーキットエミュレータ）が必要である。これらは、マイコン開発ツールとして、半導体メーカからユーザへ供給される。このうち、特に組み込み機器用マイコンの場合、実システム機器内での割り込み処理などの確認を実時間で行なう必要があり、エミュレータは不可欠となっている。

【0005】このエミュレータにより、ユーザはマイコンを動作させながらプログラムのバグ取りなどのデバッグを行なってユーザプログラムを完成させる。その後、完成したユーザプログラムを半導体メーカ側でマスクROMに書き込み、最終量産マイコンが完成する。

【0006】前述したように、エミュレータは、ユーザプログラムが組み込まれた最終量産仕様のマイコンチップが完成する前に、ユーザプログラムのデバッグやマイコンと搭載機器との動作確認などを行なうために用いられる。

【0007】以下、図19を参照しながら、第1の従来例に係る半導体装置としてのエミュレータについて説明する。

【0008】エミュレータは、通常、CPUコア（マイコン本体）10、ユーザロジック（周辺回路）11、内蔵RAM12及びエミュレーション動作を制御するための第1の制御回路13Aが組み込まれたマイコンチップ（評価用チップ、evaluation chip）15と、エミュレーション動作を制御するための第2の制御回路13B、エミュレーションメモリ17及びトレースメモリ18が組み込まれたエミュレーション機能チップ20とから構成される。また、マイコンチップ15は、PODと呼ばれるモジュール基板21に実装された状態で、ユーザのシステムボード上のソケットに直接に接続される。エミュレーション機能チップ20とモジュール基板21とはケーブル22（数10cmの長さを有するフラットケーブル）を介して接続されており、エミュレータの動作時には、エミュレーション機能チップ20とマイコンチップ15との間でケーブル22を介してデータ転送が頻繁に行われる。マイコンの動作速度が高速になると、ケーブル22が或る程度の長さを持っているために、データ転送の際にエラーが発生するという問題がある。

【0009】そこで、日経エレクトロニクス1994.12.5、No. 623、p99-p109において示される、エミュレーション機能を内蔵したマイコンチップが提案されている。以下、図20を参照しながら、第

2の従来例に係るエミュレーション機能を内蔵したマイコンチップ30について説明する。

【0010】第2の従来例に係るマイコンチップ30は、CPUコア31、ユーザロジック（周辺回路）32及び内蔵RAM33のほかに、エミュレーション制御回路34、トレース用メモリ35、デバッグモニタ用メモリ36及びエミュレーション用メモリ37などのエミュレーション機能を内蔵している。このマイコンチップ30は、エミュレーション機能を内蔵することにより、エミュレーション機能チップと実際のマイコンチップ（実チップ）との間の電氣的動作特性の差を低減すること、及び割り込み処理等のデバッグのリアルタイム性を向上することを図っている。この第2の従来例においては、第1の従来例におけるエミュレーション機能チップ20とマイコンチップ15とを接続するケーブル22が不要であるため、データを転送する際のエラーを防止することができる。

【0011】次に、図21を参照しながら、第3の従来例に係るOTP内蔵マイコン40について説明する。第3の従来例に係るOTP内蔵マイコン40は、CPUコア41及び周辺回路42のほかに、OTPメモリ43（例えば、紫外線消去型のEPROMや電氣的に書き換え可能なEEPROM）を内蔵しており、マイコンの品種毎に開発される。

【0012】以下、図22～図24を参照しながら、第4の従来例に係る、半導体チップがフリップチップ実装された半導体装置について説明する。

【0013】半導体チップをPGAやQFPなどのパッケージに封止することなく、裸の半導体チップを他の半導体チップ又は回路基板にフェースダウン方式により搭載する、フリップチップ実装は電子機器の小型化及び軽量化に非常に効果的である。フリップチップ実装に使用する半導体チップの電極パッドとしては、半導体チップの周縁部に配置されるペリフェラル型と半導体チップの中央部に配置されるエリア型とが知られている。半導体チップの電極パッドの配置としては、エリア型が半導体チップの面積をほぼ全部使用して配置できるため、多ピン化には有利である。

【0014】図22は、第4の従来例に係る半導体装置の断面構造を示しており、該半導体装置は、半導体チップ51が回路基板52にフリップチップ実装されてなる。また、図23は第4の従来例に係る半導体装置の半導体チップ51の平面構造を示している。

【0015】図22に示すように、半導体チップ51に形成されたエリア電極パッド53と回路基板52に形成された電極パッド54とは接続用バンプ55を介して電氣的に接続されており、両者が接続された状態で、半導体チップ51は回路基板52に絶縁樹脂56によって固定されている。また、図23に示すように、エリア電極パッド53は半導体チップ51の中央部に分散されて形

成されている。

【0016】図24は、第4の従来例に係る半導体装置の半導体チップ51の断面構造を示しており、半導体基板に形成されたトランジスタの拡散領域60の上には第1層の配線61が形成されている。第1層の配線61と第2層の配線62とは第1のコンタクト63により接続され、第2層の配線62と第3層の配線64とは第2のコンタクト65により接続され、第3層の配線64と最上層のパッド引き出し配線66とは第3のコンタクト67により接続されている。

【0017】また、最上層においてパッド引き出し配線66と接続されたエリア電極パッド53の上には接続用バンパ55が形成されている。エリア電極パッド53のピッチは200～250 μ m程度であって、エリア電極パッド53の占有する面積が大きいと、最上層にエリア電極パッド53と接続される引き出し用配線66を形成している。すなわち、最上層は第1のエリア電極パッド53と接続される引き出し配線66の専用層となっている。このようにすることにより、半導体チップ51のほぼ全面に亘ってエリア電極パッド53を形成することができる。

【0018】接続用バンパ55はPb/Snなどのハンダよりなり、回路基板52はセラミック又はガラスエポキシなどよりなる。半導体チップ51は回路基板52に次のようにしてフリップチップ実装される。すなわち、半導体チップ51の接続用バンパ55と回路基板52の電極パッド54との位置合わせをした後、半導体チップ51を回路基板52上に搭載する。この際、半導体チップ51を加熱して回路基板52に対して加圧することにより、接続用バンパ55と回路基板52の電極パッド54とを接触させる。その後、半導体チップ51が搭載された回路基板52を加熱することにより、接続用バンパ55を溶融させて接続用バンパ55と電極パッド54とを電気的に接続する。

【0019】

【発明が解決しようとしている課題】しかしながら、第1の従来例に係るエミュレータによると、前述のように、マイコンチップ15とエミュレーション機能チップ20とが異なる回路基板上に搭載された状態で、或る程度の長さを持つケーブル22により接続されているため、マイコンチップ15とエミュレーション機能チップ20との間のデータ転送の際、信号遅延や波形の歪みが生じるので、エミュレータとしての動作周波数に限界がある。このため、100MHz以上の高速なマイコンでは、第1の従来例に係るエミュレータによるデバッグは困難になるという問題がある。

【0020】また、第2の従来例によると、マイコンチップ30がエミュレーション機能を内蔵しているため、第1の従来例が持つ問題は解消し、リアルタイム性及び電気的特性の点で満足できる。ところが、第2の従来例

によると、マイコンの品種毎にエミュレーション機能を内蔵したマイコンチップ30を開発する必要があるので、マイコンの品種が多くなると、開発工数の増加を招くという問題がある。

【0021】また、第3の従来例においても、OTP内蔵マイコン40がOTPメモリ43を内蔵しているため、マイコンの品種毎に開発を行なう必要がある。また、CPUコア41及び周辺回路42はマイコンプロセス(CMOSプロセス)により形成される一方、OTPメモリ43はOTPプロセスにより形成されるため、マイコンの世代進展に合わせて、マイコンプロセスの開発と共にOTPプロセスの開発も必要になるので、開発工数の増加と共に開発期間の長期化を招くという問題がある。

【0022】また、第4の従来例によると、半導体チップ51内の機能素子の形成に必要な第1～第3の配線61、62、64のほかに、エリア電極パッド53を形成するための専用層が必要になる。すなわち、第1～第3の配線61、62、64を形成するための3層の配線層にパッド専用層を加えた4層の配線層が必要になる。このため、エリア型の電極パッドを有する半導体装置においては、エリア電極パッド形成のための専用層のプロセスコストが必要になると共に、配線層の増加に伴う歩留まりの低下が避けられないので、最終チップコストが高くなるという問題がある。さらに、機能素子内の入出力ポイントからエリア電極パッド53までパッド引き出し配線66を引き回すため、配線部分の負荷が高速動作を妨げる原因になるという問題もある。

【0023】前記に鑑み、本発明は、開発工数の増大を招くことなく、高速で動作すると共に高機能を有するエミュレータ又はOTP内蔵マイコンよりなる半導体装置を提供することを第1の目的とし、エリア型の電極パッドを有する半導体装置におけるチップコストの低減及び配線部分の負荷を低減することを第2の目的とする。

【0024】

【課題を解決するための手段】前記第1の目的を達成するため、請求項1の発明が講じた解決手段は、半導体装置を、CPUコア、周辺回路及び内蔵RAMを有する一方、エミュレーション機能素子を有しないマイコンチップよりなる第1の半導体チップと、該第1の半導体チップよりも面積が大きく且つエミュレーション機能素子を有する第2の半導体チップとを備え、前記第1の半導体チップの電極パッドと前記第2の半導体チップの電極パッドとはバンパを介して電気的に接続されている構成とするものである。

【0025】請求項1の構成により、CPUコア、周辺回路及び内蔵RAMを有するマイコンチップよりなる第1の半導体チップの電極パッドと、エミュレーション機能素子を有する第2の半導体チップの電極パッドとはバンパを介して接続されているため、第1の半導体チップ

のマイコンチップ内のCPUコアと、第2の半導体チップのエミュレーション機能素子との距離が短くなる。また、CPUコアを有するマイコンチップよりなる第1の半導体チップと、エミュレーション機能素子を有する第2の半導体チップとを別個に形成したので、異なる品種のマイコンを開発する際には、CPUコアが形成されたマイコンチップを交換するだけでよく、エミュレーション機能素子を有する第2の半導体チップとしては同一のものをを用いることができる。

【0026】前記第1の目的を達成するため、請求項2の発明が講じた解決手段は、半導体装置を、CPUコア、周辺回路及び内蔵RAMを有する一方、消去型又は書換え型の不揮発性メモリを有しないマイコンチップよりなる第1の半導体チップと、該第1の半導体チップよりも面積が大きく且つ消去型又は書換え型の不揮発性メモリを有する第2の半導体チップとを備え、前記第1の半導体チップの電極パッドと前記第2の半導体チップの電極パッドとは bumps を介して電気的に接続されている構成とするものである。

【0027】請求項2の構成により、CPUコア、周辺回路及び内蔵RAMを有するマイコンチップよりなる第1の半導体チップの電極パッドと、消去型又は書換え型の不揮発性メモリを有する第2の半導体チップの電極パッドとは bumps を介して接続されているため、第1の半導体チップのマイコンチップ内のCPUコアと、第2の半導体チップの消去型又は書換え型の不揮発性メモリとの距離が短くなる。また、CPUコアを有するマイコンチップよりなる第1の半導体チップと、不揮発性メモリを有する第2の半導体チップとを別個に形成したので、異なる品種のマイコンを開発する際には、CPUコアが形成されたマイコンチップを交換するだけでよく、不揮発性メモリを有する第2の半導体チップとしては同一のものをを用いることができる。

【0028】前記第2の目的を達成するため、請求項3の発明が講じた解決手段は、半導体装置を、第1の機能素子が形成された第1の半導体チップと、第2の機能素子が形成された第2の半導体チップとを備え、前記第1の半導体チップと前記第2の半導体チップとは、前記第1の機能素子が形成された機能面と前記第2の機能素子が形成された機能面とが互いに対向するように設けられ、前記第1の半導体チップの第1の電極パッドと前記第2の半導体チップの第2の電極パッドとは bumps を介して電気的に接続されており、前記第1の電極パッドは、前記第1の機能素子を構成する配線層のうちの最上層の配線層と同一の層における前記第1の機能素子が形成されている領域の上に形成されている構成とするものである。

【0029】請求項3の構成により、第1の半導体チップの第1の電極パッドは、第1の機能素子を構成する配線層のうちの最上層の配線層と同一の層に形成されてい

るため、第1の電極パッドの引き回し配線の専用層が不要になると共に、第1の電極パッドの引き回し配線の負荷が低減する。また、第1の電極パッドが第1の機能素子が形成されている領域の上に形成されているため、第1の機能素子と第1の電極パッドとを接続する配線の長さが極めて短くなる。

【0030】請求項4の発明は、請求項3の構成に、前記第1の電極パッドは、前記第1の機能素子を構成する機能ブロックの周辺部領域の上に形成され且つ前記機能ブロックに対して前記第1の半導体チップの外部と信号の入出力を行なう構成を付加するものである。

【0031】請求項5の発明は、請求項3の構成に、前記第1の電極パッドは、前記第1の機能素子を構成する機能ブロックの内部領域の上に形成され且つ前記機能ブロックに対して前記第1の半導体チップの外部と信号の入出力を行なう構成を付加するものである。

【0032】請求項6の発明は、請求項4又は5の構成に、前記第1の半導体チップはマイコンチップであり、前記機能ブロックはCPUコアである構成を付加するものである。

【0033】請求項7の発明は、請求項3の構成に、前記第1の電極パッドは、前記第1の機能素子を構成する信号入出力回路素子の上に形成されている構成を付加するものである。

【0034】請求項8の発明は、請求項3の構成に、前記第1の半導体チップは、CPUコア、周辺回路及び内蔵RAMを有する一方、エミュレーション機能素子を有しないマイコンチップであり、前記第2の半導体チップはエミュレーション機能素子を有する構成を付加するものである。

【0035】請求項9の発明は、請求項3の構成に、前記第1の半導体チップは、CPUコア、周辺回路及び内蔵RAMを有する一方、消去型又は書換え型の不揮発性メモリを有しないマイコンチップであり、前記第2の半導体チップは消去型又は書換え型の不揮発性メモリを有する構成を付加するものである。

【0036】前記第2の目的を達成するため、請求項10の発明が講じた解決手段は、半導体装置を、機能素子が形成された半導体チップと、該半導体チップがフェイスダウンにより実装された回路基板とを備え、前記半導体チップの第1の電極パッドと前記回路基板の第2の電極パッドとは bumps を介して電気的に接続されており、前記第1の電極パッドは、前記機能素子を構成する配線層のうちの最上層の配線層と同一の層における前記機能素子が形成されている領域の上に形成されている構成とするものである。

【0037】請求項10の構成により、半導体チップの第1の電極パッドは、機能素子を構成する配線層のうちの最上層の配線層と同一の層に形成されているため、第1の電極パッドの引き回し配線の専用層が不要になると

共に、第1の電極パッドの引き回し配線の負荷が低減する。また、第1の電極パッドが機能素子が形成されている領域の上に形成されているため、機能素子と第1の電極パッドとを接続する配線の長さが極めて短くなる。

【0038】請求項11の発明は、請求項10の構成に、前記第1の電極パッドは、前記機能素子を構成する機能ブロックの周辺部領域の上に形成され且つ前記機能ブロックに対して前記半導体チップの外部と信号の入出力を行なう構成を付加するものである。

【0039】請求項12の発明は、請求項10の構成に、前記第1の電極パッドは、前記機能素子を構成する機能ブロックの内部領域の上に形成され且つ前記機能ブロックに対して前記半導体チップの外部と信号の入出力を行なう構成を付加するものである。

【0040】請求項13の発明は、請求項11又は12の構成に、前記半導体チップはマイコンチップであり、前記機能ブロックはCPUコアである構成を付加するものである。

【0041】請求項14の発明は、請求項10の構成に、前記第1の電極パッドは、前記機能素子を構成する信号入出力回路素子の上に形成されている構成を付加するものである。

【0042】

【発明の実施の形態】以下、本発明の各実施形態に係る半導体装置について図面を参照しながら説明する。

【0043】(第1の実施形態)図1は、本発明の第1の実施形態に係る半導体装置であるエミュレータ100の断面構造を示しており、該エミュレータ100は、第1の半導体チップとしてのマイコンチップ101と、マイコンチップ101よりも面積が大きい第2の半導体チップとしてのエミュレーション機能チップ102とがそれぞれの機能面(半導体素子が形成された面)を互いに対向させた状態でモジュール化されてなる。

【0044】マイコンチップ101の機能面に形成された第1の電極パッド103とエミュレーション機能チップ102の機能面に形成された第2の電極パッド104とは接続用バンプ105を介して電気的に接続されており、両者が接続された状態で、マイコンチップ101とエミュレーション機能チップ102とは光硬化型の絶縁樹脂106によって固定されている。また、エミュレーション機能チップ102の周縁部には外部接続用電極107が形成されている。

【0045】尚、接続用バンプ105としては、例えば、ハンダバンプ、又は電解メッキ若しくは無電解メッキにより形成された金などよりなる金属バンプを用いることができる。

【0046】図2はエミュレータ100の機能ブロックを示しており、マイコンチップ101内には、CPUコア111、周辺回路112、内蔵ROM113及び内蔵RAM114が形成されており、エミュレーション機能

チップ102内には、エミュレーション全体の制御を行なうエミュレーション制御回路115が形成されている。尚、図2において、116はマイコンチップ101とエミュレーションチップ102とを接続する内部バス、117はエミュレーション用メモリ、118はトレース用メモリであって、これら2つのメモリはエミュレータの主要な機能を担うものである。

【0047】図3及び図4はエミュレータ100が回路基板120上に実装された状態を示しており、図3は断面図であり、図4は斜視図である。

【0048】図3及び図4に示すように、マイコンチップ101とエミュレーション機能チップ102とが一体化されてなるエミュレータ100は、プリント基板又はセラミック基板よりなる回路基板120の上に実装されている。この場合、エミュレーション機能チップ102の外部接続用電極107と回路基板120上の接続用電極121とはボンディングワイヤ122により電気的に接続されている。また、エミュレーションメモリ117及びトレースメモリ118も回路基板120の上に搭載されており、これらのメモリもワイヤボンダ又はTABにより回路基板120に電気的に接続されている。

【0049】図5は、エミュレータ100、エミュレーションメモリ117及びトレースメモリ118が搭載された回路基板120をユーザボード125上に搭載する状態を示しており、ユーザボード125上にはシステム機器側のユーザロジック126が実装されており、マイコンを実際に動作させた状態で、マイコンを動作させるためのユーザプログラムのデバッグを行なう。

【0050】図19に示した第1の従来例によると、CPUコア10は、マイコンチップ15内にあり、エミュレーションメモリ17やトレースメモリ18が搭載されているエミュレーション機能チップ20とはケーブル22により接続されているため、つまり、マイコンチップ15とエミュレーション機能チップ20との距離が長いと共に、エミュレータを制御するための回路は、マイコンチップ15上に形成された第1の制御回路13Aとエミュレーション機能チップ20上に形成された第2の制御回路13Bとに分かれているため、マイコンの動作を実時間でエミュレーションを行なう場合、CPUコア10からエミュレーションメモリ17までの信号伝送時間の遅延のため、CPUコア10が高速になると動作が保証できない、すなわち、実時間でエミュレーションできない場合が発生する。一般的に、50MHz以上では、信号遅延や途中でのノイズの影響により動作が困難になってくる。

【0051】ところが、第1の実施形態によると、CPUコア111が形成されたマイコンチップ101と、エミュレーション用メモリ117及びトレース用メモリ118が形成されたエミュレーション機能チップ102とは接続用バンプ105により接続されているため、つま

りマイコンチップ101とエミュレーション機能チップ102との距離が極めて短いので、CPUコア111が高速になっても、実時間でエミュレーションを行なうことができる。すなわち、マイコンチップ101内のCPUコア111と、エミュレーション制御回路115、エミュレーションメモリ117及びトレースメモリ118とが物理的に近くなるため、信号遅延やノイズの影響を受け難いため、実時間でエミュレーションを行なうことができる。マイコンチップ101とエミュレーション機能チップ102とを接続用バンプ105により直接に接続したため、CPUコア111からエミュレーション機能チップ102への信号遅延を大幅に低減することができるので、100MHz以上の高速動作が可能になる。

【0052】また、CPUコア111が形成されたマイコンチップ101と、エミュレーション用メモリ117及びトレース用メモリ118が形成されたエミュレーション機能チップ102とを別個に形成したため、異なる品種のマイコンを開発する際には、CPUコア111が形成されたマイコンチップ101を交換するだけでよく、エミュレーション機能チップ102としては同一のものをを用いることができるので、効率的に動作確認を行なうことができる。この場合、マイコンチップ101の第1の電極パッド103とエミュレーション機能チップ102の第2の電極パッド104との仕様（ピン配置、パッドの物理的仕様）を標準的に規定しておけば、マイコンチップ101の品種が変わった場合でも、エミュレーション機能チップ102は全く共通に使用できるので、エミュレータの開発工数及び開発期間を大幅に削減することが可能になる。この点は、第1の従来例の利点を利用したものである。

【0053】また、第1の実施形態によると、マイコンチップ101を、ユーザプログラムを格納する内蔵ROMを除いて最終的に量産されるマイコンチップと全く同じレイアウトにできるため、量産マイコンチップとは別に、第1の従来例に示すマイコンチップ15又は第2の従来例に示すエミュレーション機能が内蔵されたマイコンチップ30を開発する必要がない。すなわち、レイアウトが最終量産仕様であるマイコンチップを用いてエミュレータを構成できるため、動作確認の結果、良と判断され、マイコンチップを量産する際に、再度CPUコア、周辺回路、内蔵RAMのレイアウト設計等をやり直す必要性がないので、マイコンチップの開発工数を大きく低減することができる。

【0054】図6は、エミュレータの場合のマイコン開発のフローを、第2の従来例の開発手法と第1の実施形態の開発手法との間で比較したものである。前述の説明及び図6に示すフローから明らかなように、従来においては、マイコンの開発が評価用マイコンチップの開発と量産マイコンチップの開発との2工程に分かれていたが、第1の実施形態によると、評価用マイコンチップの

開発工程を省略することができると共に、MASK-ROOMが外付けの場合にはユーザプログラムが確定すると同時に量産マイコンチップが完成することになる。

【0055】（第2の実施形態）図7は、第2の実施例に係る半導体装置であるOTPマイコン200の機能ブロックを示しており、OTPマイコン200は第1の半導体チップとしてのマイコンチップ201と第2の半導体チップとしてのOTPメモリチップ202とからなる。マイコンチップ201内には、CPUコア211、周辺回路212、内蔵ROM213及び内蔵RAM214が形成され、OTPチップ202内には、OTP（紫外線消去型ROM）215及びOTP制御回路216が形成されており、マイコンチップ201とOTPチップ202とは内部接続バス217により接続されている。

【0056】図8は、OTPマイコン200の断面構造を示しており、該OTPマイコン200は、マイコンチップ201とOTPチップ202とが機能面（半導体素子が形成された面）を互いに対向させた状態でモジュール化されてなる。マイコンチップ201の機能面に形成された第1の電極パッド203とOTPチップ202の機能面に形成された第2の電極パッド204とは接続用バンプ205を介して電気的に接続されており、マイコンチップ201とOTPメモリチップ202とが一体化されてなるOTPマイコン200はダイパッド207にダイボンディングされている。また、OTPメモリチップ202の周縁部には外部接続用電極208が形成されており、外部接続用電極208とリードフレーム209とはボンディングワイヤ210により接続され、この状態のOTPマイコン200は絶縁樹脂206によってQFPパッケージに封止されている。このようにパッケージングすることにより、外見上は、通常の1チップOTPマイコンと何ら変わることなく使用できる。尚、マイコンチップ201とOTPメモリチップ202とを接続する内部接続バス217は、物理的には接続用バンプ205によって実現されている。

【0057】第2の実施形態に係るOTPマイコン200によると、第1の実施形態に係るエミュレータ100と同様、マイコンチップ201は最初から最終量産仕様の状態で形成できるため、開発工数を著しく低減することが可能となる。

【0058】図9は、OTPマイコンのときのプロセス開発工数を、第3の従来例の開発手法と第2の実施形態に係る開発手法との間で比較したものである。前述した説明及び図9のフローから明らかなように、第3の従来例によると、OTPメモリ又はフラッシュメモリを同一のチップに搭載するために必要な派生プロセスが必要になるのに対して、第1の実施形態によると、既存のプロセスを利用できるので派生プロセスが不要である。また、第3の従来例によると、プロセス世代の交代毎に派生プロセスが必要になると共にCMOSと各メモリ部と

は一体化されるためにデザインルールを合わせる必要があるため同一世代のプロセスでなければならないが、第2の実施形態によると、プロセス世代の交代毎に派生プロセスを開発する必要がないと共に、CMOSと各メモリ部とは別体であるためデザインルールを合わせる必要がないのでCMOSと各メモリ部とは同一世代のプロセスでなくてもよい。

【0059】尚、第2の実施形態におけるOTPメモリチップ202に代えて、消去型又は書換え型の不揮発メモリ、例えばフラッシュメモリを用いることができる。

【0060】(第3の実施形態)図10は、本発明の第3の実施形態に係る半導体装置300の断面構造を示しており、該半導体装置300は、例えばマイコンチップよりなる第1の半導体チップ301と第2の半導体チップ302とが機能面(半導体素子が形成された面)を互いに対向させた状態でモジュール化されてなる。また、図11は第1の半導体チップ301の平面構造を示し、図12は半導体装置300の平面構造を示している。

【0061】図10に示すように、第1の半導体チップ301の機能面に形成された第1のエリア電極パッド303と第2の半導体チップ302の機能面に形成された第2のエリア電極パッド304とは接続用バンパ305を介して電気的に接続されており、両者が接続された状態で、第1の半導体チップ301と第2の半導体チップ302とは絶縁樹脂306によって固定されている。

【0062】また、図10及び図12に示すように、第2の半導体チップ302の機能面における周縁部には外部接続用電極307が形成されており、図11に示すように、第1の半導体チップ301内にはCPUコア308が形成され、第1の半導体チップ301の機能面におけるCPUコア308の周辺部には第1のエリア電極パッド303が形成されている。

【0063】図13は、第1の半導体チップ301の断面構造を示しており、半導体基板に形成されたトランジスタの拡散領域310の上には第1層の配線311が形成されている。第1層の配線311と第2層の配線312とは第1のコンタクト313により接続されており、第2層の配線312と第3層の配線314とは第2のコンタクト315により接続されている。

【0064】第3の実施形態の特徴として、第3層の配線314と接続された第1のエリア電極パッド303の上には接続用バンパ305が形成されている。すなわち、第1のエリア電極パッド303は、機能素子を構成する配線層の最上層(通常、機能ブロック間の配線であるグローバル配線が形成される層)と同一の層に形成されている。

【0065】前記のように、第1のエリア電極パッド303と第3層の配線314とを同一の配線層に形成するためには、第1のエリア電極パッド303及び接続用バンパ305を微細に形成する必要がある。

【0066】そこで、第3の実施形態においては、バンパ接続技術として、例えば松下電器産業株式会社が開発したMBB(マイクロバンパボンディング)技術を用いることにより、30 μ mピッチ以下の微細接続が可能になる。

【0067】図14は第3の実施形態に係る半導体装置300における第1の半導体チップ301の平面構造を示しており、図14において、316は第1のエリア電極パッド303の下側に形成されている入出力セル(SCAD)(トランジスタの拡散領域310に相当する。)である。図14に示すように、第1のエリア電極パッド303の大きさを微細にすることにより、第3層の配線314を第1のエリア電極パッド303同士の間形成することが可能になる。例えば、第1のエリア電極パッド303のサイズを20 μ m角、ピッチを30 μ mとすると、パッド間スペースは10 μ mとなり、1 μ m以下のサブミクロンの幅を持つ第3層の配線314を第1のエリア電極パッド303同士の間形成することは十分に可能である。

【0068】また、第1の半導体チップ301の第1のエリア電極パッド303と第2の半導体チップ302の第2のエリア電極パッド304とを接続用バンパ305を介して接続する際、所定の荷重以下の低荷重接合プロセスを採用することにより、第1のエリア電極パッド303の下側に形成された、第1層及び第2層の配線311、312、第1及び第2のコンタクト313、315、並びにトランジスタの拡散領域310に悪影響を与えないようにすることができる。この場合、接続用バンパ305としては、例えばInなどの柔らかい金属を用いることが好ましい。

【0069】以上説明したように、第3の実施形態によると、第1のエリア電極パッド303は最上層の配線314とコンタクトを介することなく接続される構造のため、第1のエリア電極パッド303と第3層の配線314とを同一の配線層に形成することができるので、第1のエリア電極パッド303のための引き回し配線が不要になる。このため、従来に比べて、引き回し配線のための1層分のプロセスコストが不要になると共に、配線層の追加に伴う歩留まりの低下が避けられるので、最終チップコストを抑制できる。また、機能素子内の入出力ポイントから、電極パッド層までの配線引き回しが不要になるので、引き回し配線の抵抗負荷が高速度動作を妨げる事態を回避することができる。

【0070】(第4の実施形態)図15は、本発明の第4の実施形態に係る半導体装置400の断面構造を示しており、該半導体装置400は、例えばマイコンチップなどよりなる第1の半導体チップ401と第2の半導体チップ402とが機能面を互いに対向させた状態でモジュール化されてなる。

【0071】図15に示すように、第1の半導体チップ

401の機能面に形成された第1のエリア電極パッド403と第2の半導体チップ402の機能面に形成された第2のエリア電極パッド404とは接続用バンパ405を介して電氣的に接続されており、両者が接続された状態で、第1の半導体チップ401と第2の半導体チップ402とは絶縁樹脂406によって固定されている。

【0072】図16は、第1の半導体チップ401の機能ブロックの平面構造の一部を示しており、図16において、410は第1の半導体チップ401の機能面に形成された機能ブロック例えばCPUコアである。また、411はCPUコア410内に形成された例えばデータバス部であって、第1のエリア電極パッド403はデータバス部411の内部領域に形成されている。第1のエリア電極パッド403をデータバス部411の内部領域に配置することにより、信号を必要なポイントから取り出したり、入力したりすることができるため、余分な配線遅延の影響を削減することができ、信号のより高速伝送が可能になるので、CPUコア410のより高速な動作が可能になる。

【0073】図17は、第1のエリア電極パッド403の部分拡大して示したものであって、412は第1のエリア電極パッド403のI/Oセル、いわゆるSCAD回路を示している。このように、第1のエリア電極パッド403をSCAD回路412の上に配置することにより、第1のエリア電極パッド403の専有面積を見掛上無くすることができる。また、第1のエリア電極パッド403をセル上パッドとして設計ライブラリに登録することにより、設計効率を向上させることができる。

【0074】(第5の実施形態)図18は、本発明の第5の実施形態に係る半導体装置500の断面構造を示しており、該半導体装置500は、半導体チップ501と回路基板502とがモジュール化されてなる。第5の実施形態は、半導体チップ501をいわゆるフリップチップ実装により回路基板502に搭載したものである。

【0075】回路基板502は、一般的な樹脂基板(プリント回路基板)、セラミック多層基板又はガラス基板などよりなる。

【0076】図18に示すように、半導体チップ501の機能面に形成されたエリア電極パッド503と回路基板502に形成された電極パッド504とは接続用バンパ505を介して電氣的に接続されており、両者が接続された状態で、半導体チップ501は回路基板502に絶縁樹脂506によって固定されている。

【0077】第5の実施形態においても、エリア電極パッド503を半導体チップ501の内部に配置するエリア型パッドを採用することにより、ペリフェラル型パッドに比べて多ピン化への対応が可能である。

【0078】

【発明の効果】請求項1の発明に係る半導体装置によると、第1の半導体チップのマイコンチップ内のCPUコ

アと、第2の半導体チップのエミュレーション機能素子との距離が短くなるため、信号遅延やノイズの影響が低減するので、実時間で100MHz以上の高速のエミュレーションを行なうことができる。また、異なる品種のマイコンを開発する際には、CPUコアが形成されたマイコンチップを交換するだけでよく、エミュレーション機能素子を有する第2の半導体チップとしては同一のものをを用いることができるため、最初から量産仕様のマイコンチップを開発できるので、マイコンチップの開発工程数及び開発コストが大きく低減する。

【0079】請求項2の発明に係る半導体装置によると、第1の半導体チップのマイコンチップ内のCPUコアと、第2の半導体チップの消去型又は書換え型の不揮発性メモリとの距離が短くなるので、信号遅延やノイズの影響が低減する。また、異なる品種のマイコンを開発する際には、CPUコアが形成されたマイコンチップを交換するだけでよく、不揮発性メモリを有する第2の半導体チップとしては同一のものをを用いることができるため、最初から量産仕様のマイコンチップを開発できるので、マイコンチップの開発工程数及び開発コストが大きく低減する。さらに、不揮発性メモリをマイコンチップ上に搭載するための派生プロセスが不要になると共に、CPUコアのCMOSと不揮発性メモリとのルールを合わせる必要がないのでCMOSと不揮発性メモリとは同一世代のプロセスでなくてもよい。

【0080】請求項3の発明に係る半導体装置によると、第1の電極パッドの引き回し配線の専用層が不要になるため、プロセスコストが低減すると共に歩留まりが向上するので、半導体装置の製造コストを低減できる。また、第1の電極パッドの引き回し配線の容量及び抵抗負荷が低減するので、半導体装置の動作速度を高速化することができる。

【0081】請求項4の発明に係る半導体装置によると、第1の電極パッドは、第1の機能素子を構成する機能ブロックの周辺部領域の上に形成され且つ機能ブロックに対して第1の半導体チップの外部と信号の入出力を行なうため、機能ブロックと第1の電極パッドとの距離が極めて短くなるので、容量及び抵抗負荷が低減すると共に、機能ブロックと第1の電極パッドとを1つの設計ライブラリとして登録できるので、半導体装置の設計効率向上する。

【0082】請求項5の発明に係る半導体装置によると、第1の電極パッドは、第1の機能素子を構成する機能ブロックの内部領域の上に形成され且つ機能ブロックに対して第1の半導体チップの外部と信号の入出力を行なうため、機能ブロックと第1の電極パッドとの距離が極めて短くなるので、容量及び抵抗負荷が低減すると共に、機能ブロックと第1の電極パッドとを1つの設計ライブラリとして登録でき、半導体装置の設計効率向上する。

【0083】請求項6の発明に係る半導体装置によると、第1の半導体チップはマイコンチップであり、機能ブロックはCPUコアであるため、CPUコアの動作速度を高速化できると共にCPUコアと第1の電極パッドとを1つの設計ライブラリとして登録することができる。

【0084】請求項7の発明に係る半導体装置によると、第1の電極パッドは、第1の機能素子を構成する信号入出力回路素子の上に形成されているため、第1の電極パッドの占有面積を見掛上無くすことができると共に、第1の電極パッドを信号入出力回路素子上のパッドとして設計ライブラリに登録することができる。

【0085】請求項8の発明に係る半導体装置によると、第1の半導体チップはCPUコア、周辺回路及び内蔵RAMを有するマイコンチップであり、第2の半導体チップはエミュレーション機能素子を有しているため、請求項1の発明の効果と請求項3の発明の効果とを合わせ持つことができる。

【0086】請求項9の発明に係る半導体装置によると、第1の半導体チップはCPUコア、周辺回路及び内蔵RAMを有するマイコンチップであり、第2の半導体チップは消去型又は書換え型の不揮発性メモリを有しているため、請求項2の発明の効果と請求項3の発明の効果とを合わせ持つことができる。

【0087】請求項10の発明に係る半導体装置によると、第1の電極パッドの引き回し配線の専用層が不要になるため、プロセスコストが低減すると共に歩留まりが向上するので、半導体装置の製造コストを低減できる。また、第1の電極パッドの引き回し配線の容量及び抵抗負荷が低減するので、半導体装置の動作速度を高速化することができる。

【0088】請求項11の発明に係る半導体装置によると、請求項4の発明と同様、機能ブロックと第1の電極パッドとの距離が極めて短くなるので、容量及び抵抗負荷が低減すると共に、機能ブロックと第1の電極パッドとを1つの設計ライブラリとして登録でき、半導体装置の設計効率が向上する。

【0089】請求項12の発明に係る半導体装置によると、請求項5の発明と同様、機能ブロックと第1の電極パッドとの距離が極めて短くなるので、容量及び抵抗負荷が低減すると共に、機能ブロックと第1の電極パッドとを1つの設計ライブラリとして登録でき、半導体装置の設計効率が向上する。

【0090】請求項13の発明に係る半導体装置によると、請求項6の発明と同様、CPUコアの動作速度を高速化できると共にCPUコアと第1の電極パッドとを1つの設計ライブラリとして登録することができる。

【0091】請求項14の発明に係る半導体装置によると、請求項7の発明と同様、第1の電極パッドの占有面積を見掛上無くすことができると共に、第1の電極パ

ッドを信号入出力回路素子上のパッドとして設計ライブラリに登録することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置としてのエミュレータの断面図である。

【図2】前記エミュレータの機能ブロック図である。

【図3】前記エミュレータが配線基板の上に実装された状態を示す断面図である。

【図4】前記エミュレータが配線基板の上に実装された状態を示す斜視図である。

【図5】前記エミュレータが実装された配線基板をユーザボードの上に搭載する状態を示す斜視図である。

【図6】本発明の第1の実施形態及び第2の従来例のエミュレータを用いる場合のマイコン開発のフローを比較して説明する図である。

【図7】本発明の第2の実施形態に係る半導体装置としてのOTPマイコンの機能ブロック図である。

【図8】前記OTPマイコンの断面図である。

【図9】本発明の第2の実施形態及び第2の従来例のOTPマイコンを用いる場合のプロセス開発工数を比較して説明する図である。

【図10】本発明の第3の実施形態に係る半導体装置の断面図である。

【図11】前記第3の実施形態に係る半導体装置を構成する第1の半導体チップの平面図である。

【図12】前記第3の実施形態に係る半導体装置の平面図である。

【図13】前記第3の実施形態に係る半導体装置を構成する第1の半導体チップの断面図である。

【図14】前記第3の実施形態に係る半導体装置を構成する第1の半導体チップの平面図である。

【図15】本発明の第4の実施形態に係る半導体装置の断面図である。

【図16】前記第4の実施形態に係る半導体装置を構成する第1の半導体チップの平面図である。

【図17】前記第4の実施形態に係る半導体装置を構成する第1の半導体チップの第1のエリア電極パッドの平面図である。

【図18】本発明の第5の実施形態に係る半導体装置の断面図である。

【図19】第1の従来例に係る半導体装置であるエミュレータの平面図である。

【図20】第2の従来例に係る半導体装置であるエミュレータの平面図である。

【図21】第3の従来例に係る半導体装置であるOTPマイコンの平面図である。

【図22】第4の従来例に係る半導体装置の断面図である。

【図23】前記第4の従来例に係る半導体装置を構成する半導体チップの平面図である。

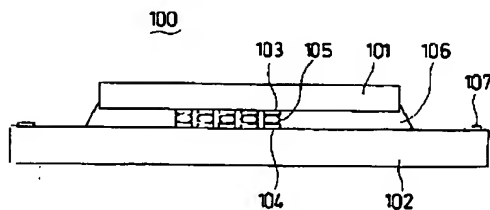
【図 2 4】前記第 4 の従来例に係る半導体装置を構成する半導体チップの断面図である。

【符号の説明】

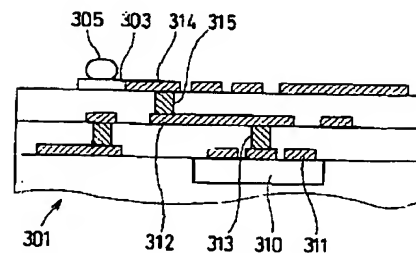
100 エミュレータ
101 マイコンチップ
102 エミュレーション機能チップ
103 第1の電極パッド
104 第2の電極パッド
105 接続用バンパ
106 絶縁樹脂
107 外部接続用電極
111 CPUコア
112 周辺回路
113 内蔵ROM
114 内蔵RAM
115 エミュレーション制御回路
116 内部バス
117 エミュレーション用メモリ
118 トレース用メモリ
120 回路基板
121 接続用電極
122 ボンディングワイヤ
125 ユーザボード
126 ユーザロジック
200 OTPマイコン
201 マイコンチップ
202 OTPメモリチップ
203 第1の電極パッド
204 第2の電極パッド
206 絶縁樹脂
207 ダイパッド
208 外部接続用電極
209 リードフレーム
210 ボンディングワイヤ
211 CPUコア
212 周辺回路
213 内蔵ROM

214 内蔵RAM
215 OTP
216 OTP制御回路
217 内部接続バス
300 半導体装置
301 第1の半導体チップ
302 第2の半導体チップ
303 第1のエリア電極パッド
304 第2のエリア電極パッド
305 接続用バンパ
306 絶縁樹脂
307 外部接続用電極
308 CPUコア
310 トランジスタの拡散領域
311 第1層の配線
312 第2層の配線
313 第1のコンタクト
314 第3層の配線
315 第2のコンタクト
316 入出力セル
400 半導体装置
401 第1の半導体チップ
402 第2の半導体チップ
403 第1のエリア電極パッド
404 第2のエリア電極パッド
405 接続用バンパ
406 絶縁樹脂
410 CPUコア
411 データバス部
412 SCAD回路
500 半導体装置
501 第1の半導体チップ
502 回路基板
503 エリア電極パッド
504 電極パッド
505 接続用バンパ
506 絶縁樹脂

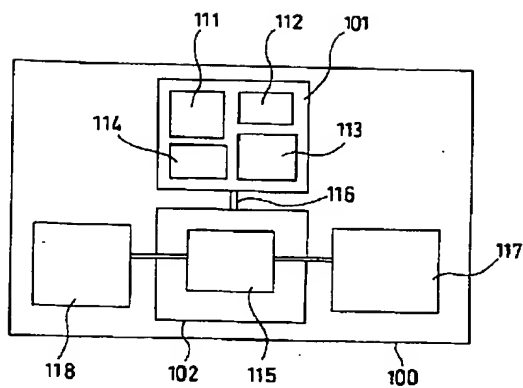
【図 1】



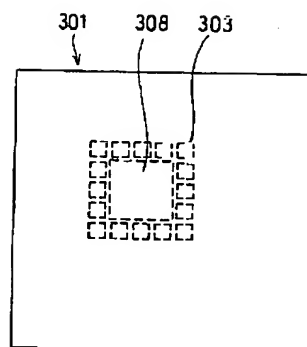
【図 13】



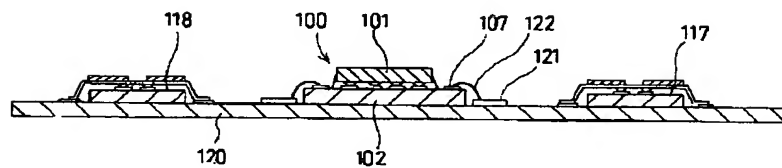
【図2】



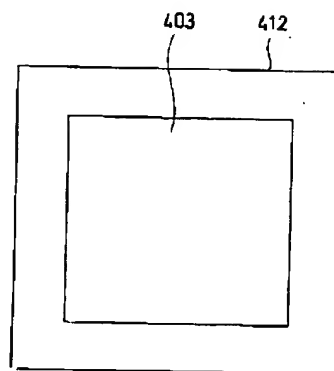
【図11】



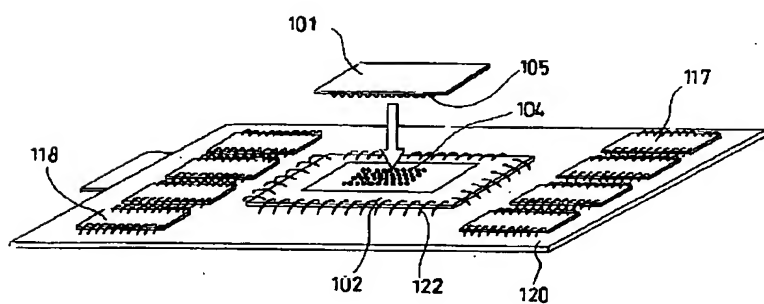
【図3】



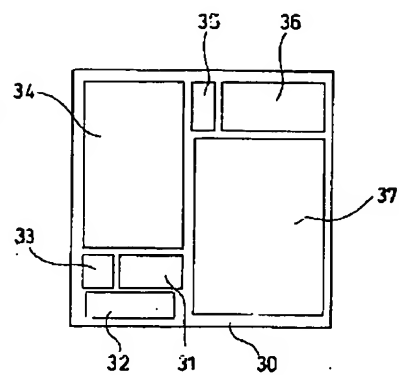
【図17】



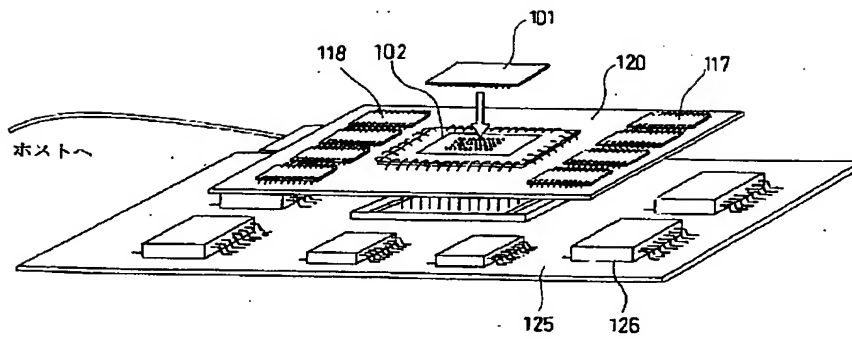
【図4】



【図20】

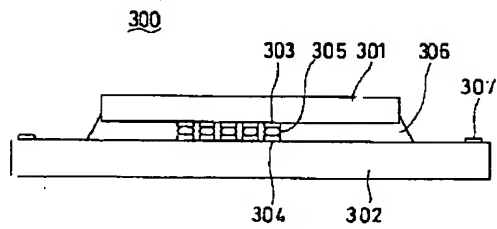
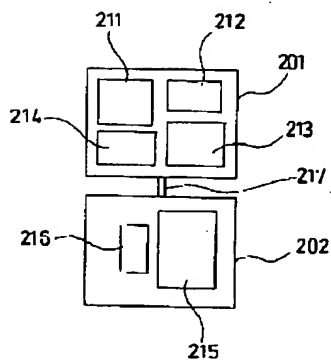


【図5】



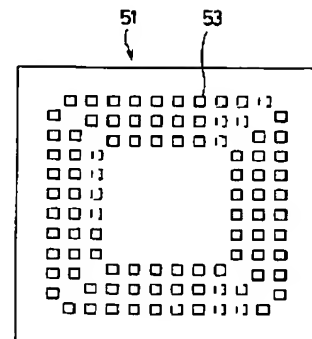
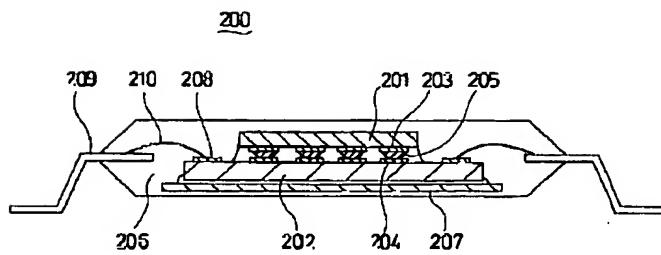
【図7】

【図10】



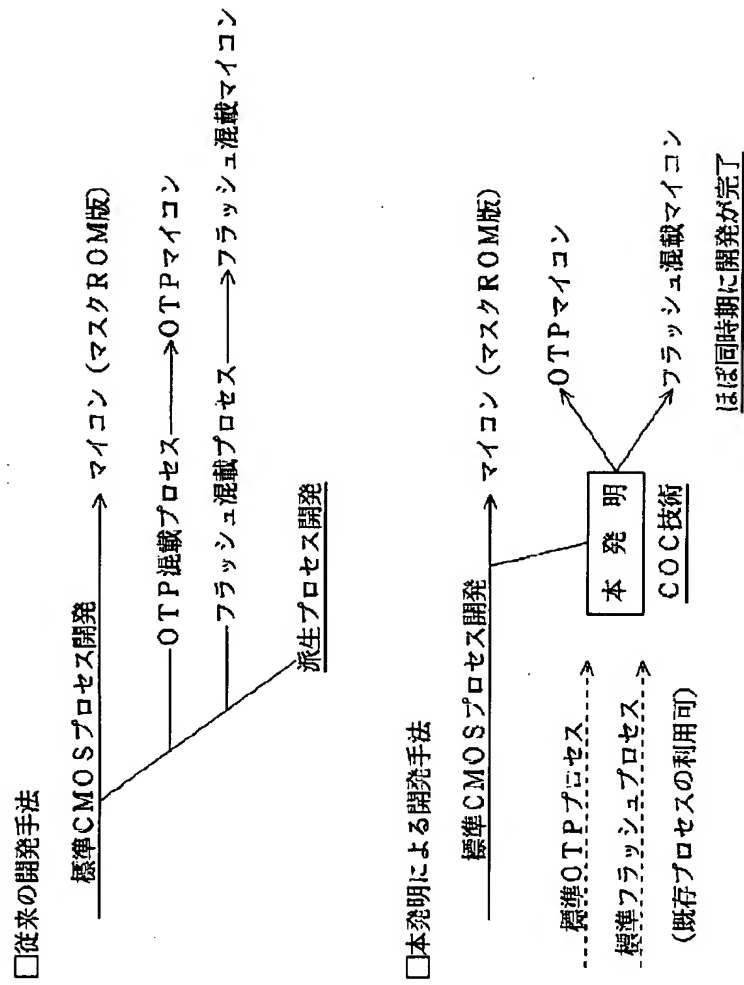
【図8】

【図23】

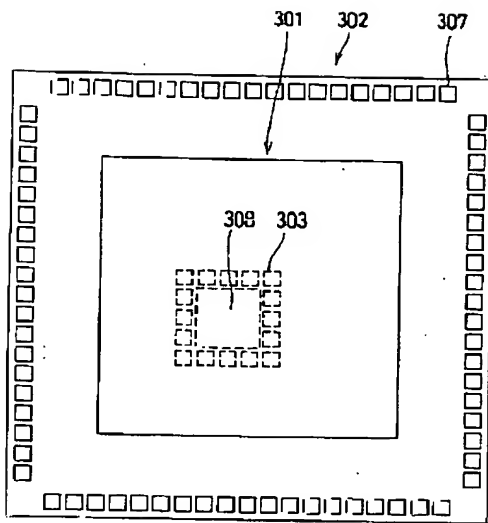


【図9】

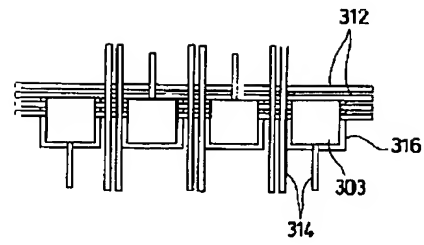
プロセス開発工数の比較



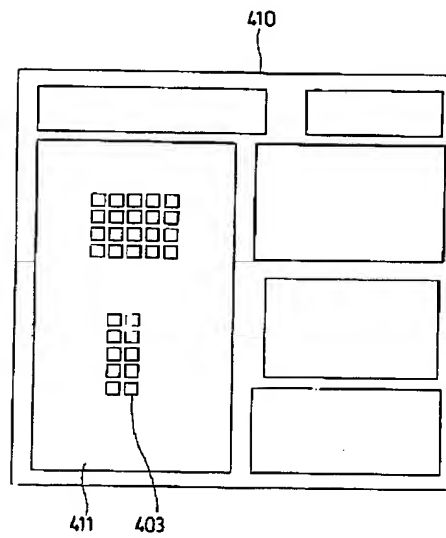
【図12】



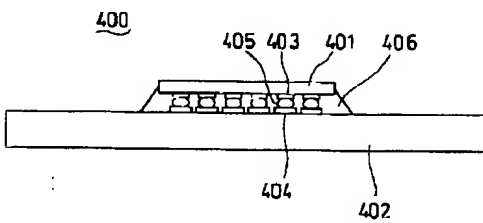
【図14】



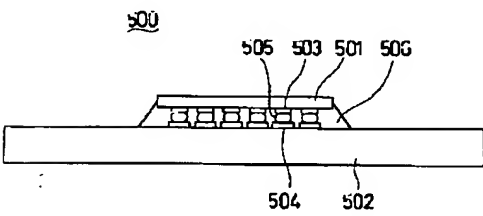
【図16】



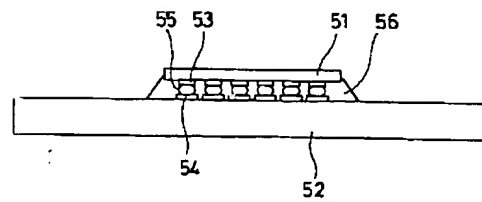
【図15】



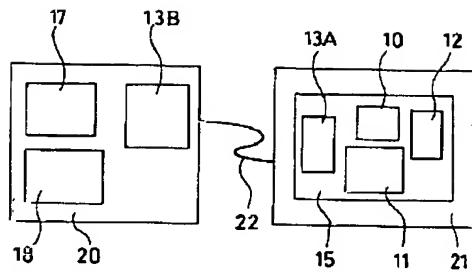
【図18】



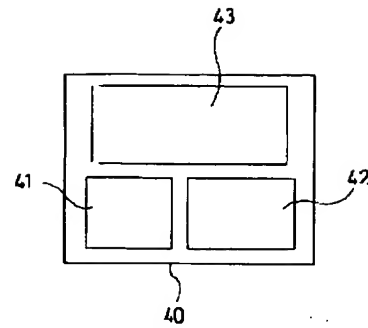
【図22】



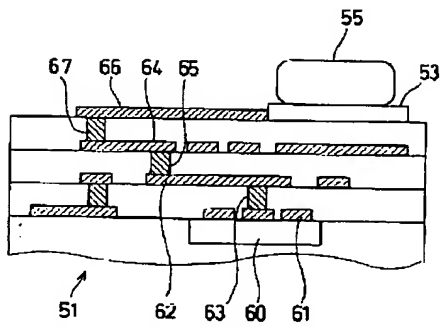
【図19】



【図21】



【図24】



フロントページの続き

(72)発明者 山根 一郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 春日 義昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山下 太紀夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 松木 敏夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内